

5/5/1

DIALOG(R) File 351:Derwent WPI
(c) 2005 Thomson Derwent. All rts. reserv.

013945011 **Image available**
WPI Acc No: 2001-429224/ 200146

XRXPX Acc No: N01-318667

image processor for e.g. copier, has control section which controls start timing of image processing based on program set-up corresponding to operation condition of each image processing circuit

Patent Assignee: MINOLTA CAMERA KK (MIOC)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2001147802	A	20010529	JP 99329729	A	19991119	200146 B

Priority Applications (No Type Date): JP 99329729 A 19991119

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 2001147802	A	9	G06F-009/06	

Abstract (Basic): JP 2001147802 A

NOVELTY - The interconnection of the gate array of each image processing circuit (5,6) is rearranged based on component information such that the gate array can be programmed arbitrarily. The control section of a CPU (3) controls the start timing of image processing based on a program set-up corresponding to the condition of operation of each image processing circuit.

USE - For e.g. copier, facsimile, compound machine.

ADVANTAGE - Shortens stopping time of image processing circuit operation, and enables quick and efficient processing of image data.

DESCRIPTION OF DRAWING(S) - The figure shows the block diagram of image processor.

CPU (3)

Image processing circuit (5,6)

pp; 9 DwgNo 1/6

Title Terms: IMAGE; PROCESSOR; COPY; CONTROL; SECTION; CONTROL; START; TIME ; IMAGE; PROCESS; BASED; PROGRAM; SET-UP; CORRESPOND; OPERATE; CONDITION; IMAGE; PROCESS; CIRCUIT

Derwent Class: S06; T01; W02

International Patent Class (Main): G06F-009/06

International Patent Class (Additional): G06F-009/38; H04N-001/00

File Segment: EPI

SP4 ✓

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2001-147802

(P2001-147802A)

(43)公開日 平成13年5月29日 (2001.5.29)

(51) Int.Cl. ⁷	識別記号	F I	テマコード(参考)
G 06 F 9/06	5 4 0	G 06 F 9/06	5 4 0 F 5 B 0 1 3
9/38	3 1 0	9/38	3 1 0 E 5 B 0 7 6
	3 7 0		3 7 0 C 5 C 0 6 2
H 04 N 1/00		H 04 N 1/00	C

審査請求 未請求 請求項の数 5 O.L (全 9 頁)

(21)出願番号 特願平11-329729

(22)出願日 平成11年11月19日 (1999.11.19)

(71)出願人 000006079
ミノルタ株式会社
大阪府大阪市中央区安土町二丁目3番13号
大阪国際ビル
(72)発明者 米山 剛
大阪府大阪市中央区安土町二丁目3番13号
大阪国際ビル ミノルタ株式会社内
(72)発明者 水野 英明
大阪府大阪市中央区安土町二丁目3番13号
大阪国際ビル ミノルタ株式会社内
(74)代理人 100062144
弁理士 青山 茂 (外1名)

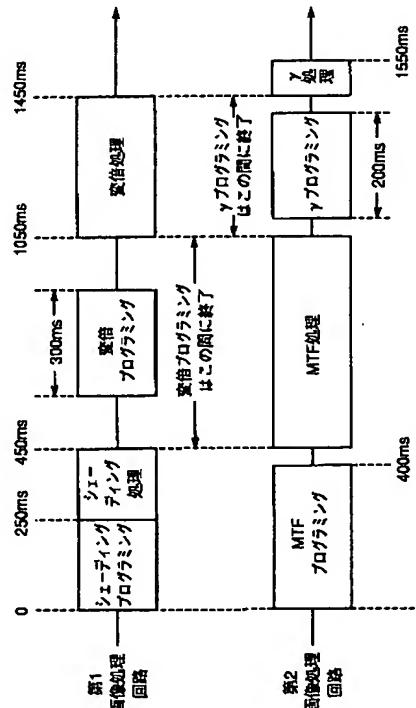
最終頁に続く

(54)【発明の名称】 画像処理装置

(57)【要約】

【課題】 ゲートアレイの配線の組替えが可能な一对の画像処理回路及び該画像処理回路を制御する制御部を備えて、画像処理動作の高速化を実現し得る画像処理装置を提供する。

【解決手段】 与えられた構成情報に基づきゲートアレイの配線を組み替えて任意にプログラム可能な各画像処理回路が、プログラム設定され且つそのプログラムに基づき画像データに対して所定の処理を施す一連の動作を実行するに際し、他方の画像処理回路における動作状態に応じて、上記一連の動作の開始タイミングを制御する。



【特許請求の範囲】

【請求項1】 画像データに対して所定の処理を施す一对の画像処理回路及び該画像処理回路を制御する制御部を備えた画像処理装置において、

上記画像処理回路が、共に、与えられた構成情報に基づきゲートアレイの配線を組み替えて任意にプログラム可能なデバイスを有しており、

上記制御部は、上記各画像処理回路が、所定の処理を実行可能とするプログラム設定及びそのプログラムに基づいた画像処理を順次実行するに際し、他方の画像処理回路における動作状態に応じて、上記プログラム設定及びそのプログラムに基づいた画像処理の開始タイミングを制御することを特徴とする画像処理装置。

【請求項2】 上記制御部は、一方の画像処理回路において、上記プログラムに基づいた画像処理を実行している間に、他方の画像処理回路において、他の所定の処理を実行可能とするプログラム設定を完了させることを特徴とする請求項1記載の画像処理装置。

【請求項3】 上記制御部は、一方の画像処理回路において、上記プログラムに基づいた画像処理を実行している間に、他方の画像処理回路において、他の所定の処理を実行可能とするプログラム設定を完了させ、引き続き、他方の画像処理回路において、そのプログラムに基づいた画像処理を開始させることを特徴とする請求項1記載の画像処理装置。

【請求項4】 一方の画像処理回路におけるプログラム設定及びそのプログラムに基づいた画像処理からなる一連の動作に要する時間をそれぞれ判定する第1の判定手段と、

他方の画像処理回路におけるプログラム設定及びそのプログラムに基づいた画像処理からなる一連の動作に要する時間をそれぞれ判定する第2の判定手段とを備えており、

上記制御部は、上記第1の判定手段と第2の判定手段との判定結果を比較した結果、一方の画像処理回路における一連の動作が、他方の画像処理回路における一連の動作を追い越すと判断された場合に、一方の画像処理回路における一連の動作の開始タイミングを遅延させることを特徴とする請求項1記載の画像処理装置。

【請求項5】 一方の画像処理回路におけるプログラム設定及びそのプログラムに基づいた画像処理からなる一連の動作に要する時間をそれぞれ判定する第1の判定手段と、

他方の画像処理回路におけるプログラム設定及びそのプログラムに基づいた画像処理からなる一連の動作に要する時間をそれぞれ判定する第2の判定手段とを備えており、

上記制御部は、上記第1の判定手段と第2の判定手段との判定結果を比較し、画像処理回路の間で全体の動作時間の差異が小さくなるように、上記各一連の動作を画像

処理回路のいずれかに振り分けることを特徴とする請求項1記載の画像処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、複写機、ファクシミリ若しくはそれらの複合機等の画像処理装置に関する。

【0002】

【従来の技術】 昨今の情報処理技術の進歩に伴ない、近年では、多種多様の画像処理装置が広く普及するようになった。そのうち、与えられた構成情報に基づいてゲートアレイの配線の組替えが可能な画像処理回路を装備し、ゲートアレイの配線を組み替えてプログラムを書き換えることにより、同一の回路資源で各種の処理を実行可能とするものが知られている。

【0003】

【発明が解決しようとする課題】 ところで、近年の画像処理技術では、とりわけ、装置による画像処理動作の高速化が重要視されている。しかしながら、前述した画像処理装置において、どのような制御をすれば高速化が実現し得るかについての具体的な制御方法に関して、従来、検討はなされていなかった。

【0004】 そこで、本発明の目的は、画像処理動作の高速化を実現し得る画像処理装置を提供することである。

【0005】

【課題を解決するための手段】 本願の請求項1に係る発明は、画像データに対して所定の処理を施す一对の画像処理回路及び該画像処理回路を制御する制御部を備えた画像処理装置において、上記画像処理回路が、共に、与えられた構成情報に基づきゲートアレイの配線を組み替えて任意にプログラム可能なデバイスを有しており、上記制御部は、上記各画像処理回路が所定の処理を実行可能とするプログラム設定及びそのプログラムに基づいた画像処理を順次実行するに際し、他方の画像処理回路における動作状態に応じて、上記プログラム設定及びそのプログラムに基づいた画像処理の開始タイミングを制御することを特徴としたものである。

【0006】 また、本願の請求項2に係る発明は、上記

40 制御部は、一方の画像処理回路において、上記プログラムに基づいた画像処理を実行している間に、他方の画像処理回路において、所定の処理を実行可能とするプログラム設定を完了させることを特徴としたものである。

【0007】 更に、本願の請求項3に係る発明は、上記制御部は、一方の画像処理回路において、上記プログラムに基づいた画像処理を実行している間に、他方の画像処理回路において、他の所定の処理を実行可能とする

50 プログラム設定を完了させ、引き続き、他方の画像処理回路において、そのプログラムに基づいた画像処理を開始することを特徴としたものである。

3

【0008】また、更に、本願の請求項4に係る発明は、一方の画像処理回路におけるプログラム設定及びそのプログラムに基づいた画像処理からなる一連の動作に要する時間をそれぞれ判定する第1の判定手段と、他方の画像処理回路におけるプログラム設定及びそのプログラムに基づいた画像処理からなる一連の動作に要する時間をそれぞれ判定する第2の判定手段とを備えており、上記制御部は、上記第1の判定手段と第2の判定手段との判定結果を比較した結果、一方の画像処理回路における一連の動作が、他方の画像処理回路における一連の動作を追い越すと判断された場合に、一方の画像処理回路における一連の動作の開始タイミングを遅延させることを特徴としたものである。

【0009】また、更に、本願の請求項5に係る発明は、一方の画像処理回路におけるプログラム設定及びそのプログラムに基づいた画像処理からなる一連の動作に要する時間をそれぞれ判定する第1の判定手段と、他方の画像処理回路におけるプログラム設定及びそのプログラムに基づいた画像処理からなる一連の動作に要する時間をそれぞれ判定する第2の判定手段とを備えており、上記制御部は、上記第1の判定手段と第2の判定手段との判定結果を比較し、画像処理回路の間で全体の動作時間の差異が小さくなるように、上記各一連の動作を画像処理回路のいずれかに振り分けることを特徴としたものである。

【0010】

【発明の実施の形態】以下、本発明の実施の形態について、添付図面を参照しながら説明する。

実施の形態1. 図1は、本発明の実施の形態1に係る画像処理装置に組み込まれた構成を概略的に示すブロック図である。この画像処理装置10は、各種データを記録するROM2と、該ROM2からのデータを受信し、該データに基づき所定の回路を制御する中央処理ユニット3（以下、CPUという）と、該CPU3により制御され、入力データに対して所定の処理を施す第1及び第2の画像処理回路5、6とを有している。これら第1及び第2の画像処理回路5、6は、それぞれ、CPUバス8を介して、上記CPU3と接続されており、更に、CPU3は、ROM2からのデータを受信するように、上記ROM2と接続されている。

【0011】上記第1及び第2の画像処理回路5、6は、共に、与えられた構成情報に基づきゲートアレイの配線の組替えが可能なデバイスを備えており、この実施の形態では、かかるデバイスとして、従来知られている利用者書き込み可能ゲート・アレイ5a、6a（所謂、FPGA(Field Programmable gate array)）を用いるようにした。このFPGA5a、6aによれば、プログラム可能な論理モジュールを規則的に並べ、その間に配線領域を用意して、論理モジュールと配線領域を構成情報に基づいて接続することで所望の論理を実現すること

4

ができる。更に、この実施の形態では、この第1及び第2の画像処理回路5、6に付与される回路構成情報（以下、回路データ）が、ROM2に複数保存されており、必要に応じて、回路データのいずれかが読み出されて、上記各画像処理回路5、6に転送される。

【0012】かかる構成を備えた画像処理装置10では、画像処理動作に際し、CPU3の要求に応じて、上記ROM2に記録された回路データが指定され、CPU3に転送される。回路データは、CPU3から更にCPUバス8を介して、第1及び第2の画像処理回路5、6へ転送される。これら第1及び第2の画像処理回路5、6は、送られてきた回路データに基づき各FPGA5a、6aのゲートアレイの配線が組み替えられ、画像処理動作の一部として、所望の処理を実行するようにプログラム設定される。これにより、各画像処理回路5、6では、回路データの種類に応じ、画像データに対して、シェーディング処理、変倍処理、MTF(modulation transfer function)処理及び γ （ガンマ）補正処理等の各種処理を加えることが可能となる。

【0013】更に、この実施の形態では、画像データを処理するに際して、上記第1及び第2の画像処理回路5、6間で、回路データに基づくプログラム設定及びそのプログラムに基づいた画像データの処理を開始するタイミングを適宜調整することにより、上記画像処理回路5、6による処理が効率的に行われるようになっている。図2は、上記第1及び第2の画像処理回路5、6による各種処理のタイミングチャートである。なお、以下では、第1の画像処理回路5において、シェーディング処理及び変倍処理を、また、第2の画像処理回路6において、MTF処理及び γ 補正処理を加えるように設定された場合について説明する。この図から分かるように、画像データを処理するに際して、まず、上記第1の画像処理回路5が、シェーディング処理用にプログラム設定される（プログラム設定時間250ms）とともに、上記第2の画像処理回路6がMTF処理用にプログラム設定される（プログラム設定時間400ms）。上記第1の画像処理回路5は、シェーディング処理用のプログラム設定が完了すると、引き続き、画像データに対してシェーディング処理を実行する（処理時間200ms）。

【0014】この画像処理装置10では、上記第1及び第2の画像処理回路5、6が並行してプログラム設定されることは可能であるが、同時に画像データを処理することは不可能である。従って、上記第2の画像処理回路6は、第1の画像処理回路5におけるシェーディング処理が完了するのを待ち、MTF処理を開始する（処理時間600ms）。この第2の画像処理回路6によるMTF処理の間（動作開始後450～1050ms）に、上記第1の画像処理回路5は、変倍処理用にプログラム設定される（プログラム設定時間300ms）。なお、この「プログラム設定時間300ms」には、変倍処理用

のプログラムを書込む前に、前回のシェーディング処理用のプログラムを消去する時間150msが含まれる。同様に、プログラムが組み替えられる場合には、常に、前回のプログラムを消去する時間150msが含まれることになる。

【0015】上記第2の画像処理回路6によるMTF処理が完了すると、上記第1の画像処理回路5は、変倍処理を開始する（処理時間400ms）。この第1の画像処理回路5による変倍処理の間（動作開始後1050～1450ms）に、上記第2の画像処理回路6は、 γ 補正処理用にプログラム設定される（プログラム設定時間200ms）。そして、上記第1の画像処理回路5による変倍処理が完了すると、第2の画像処理回路6は、 γ 補正処理を開始する（処理時間100ms）。

【0016】以上のように、与えられた回路データに基づきFPGA5a, 6aのゲートアレイの配線が組み替えられて各種の処理が実行可能な第1及び第2の画像処理回路5, 6を備えた画像処理装置10において、画像データの処理に際し、上記第1及び第2の画像処理回路5, 6におけるプログラム設定及びそのプログラムに基づいた画像データの処理を開始するタイミングを適宜調整することにより、画像処理動作の停止時間を削減することができ、画像データに対する処理を比較的短時間で効率的に行うことが可能となる。その結果、画像処理装置10における画像処理動作を高速化することができる。

【0017】以下、本発明の他の実施の形態について説明する。尚、以下の説明では、前述した実施の形態1における場合と同一のものについては同じ符号を付し、それ以上の説明は省略する。

実施の形態2. 図3は、本発明の実施の形態2に係る画像処理装置に組み込まれた第1及び第2の画像処理回路による各種処理のタイミングチャートである。この画像処理装置は、前述した実施の形態1における場合と同じ構成を有しており、この実施の形態2では、第1及び第2の画像処理回路5, 6が並行してプログラム設定されるのみならず、同時に画像データを処理することができる。図から分かるように、画像データの処理に際して、まず、上記第1の画像処理回路5が、シェーディング処理用にプログラム設定されるとともに（プログラム設定時間250ms）、第2の画像処理回路6が、MTF処理用にプログラム設定される（プログラム設定時間400ms）。

【0018】上記第1の画像処理回路5は、シェーディング処理用にプログラム設定された後、引き続き、画像データに対してシェーディング処理を施すが（処理時間200ms）、このシェーディング処理の間に、上記第2の画像処理回路6におけるMTF処理用のプログラム設定が完了する。この実施の形態では、第1及び第2の画像処理回路5, 6が並行して画像データを処理するこ

とができるので、第2の画像処理回路6では、引き続き、画像データに対するMTF処理が実行される（処理時間600ms）。

【0019】その後、第2の画像処理回路6によるMTF処理の間に、上記第1の画像処理回路5によるシェーディング処理が完了すると、引き続き、第1の画像処理回路5は、変倍処理用にプログラム設定される（プログラム設定時間300ms）。この第1の画像処理回路5における変倍処理用のプログラム設定が完了すると、更に、引き続いて、第1の画像処理回路5では、画像データに対する変倍処理が実行される（処理時間400ms）。第1の画像処理回路5による変倍処理の間に、上記第2の画像処理回路6によるMTF処理が完了すると、引き続き、第2の画像処理回路6は、 γ 補正処理用にプログラム設定される（プログラム設定時間200ms）。

【0020】第2の画像処理回路6における γ 補正処理用のプログラム設定の間に、第1の画像処理回路5による変倍処理が完了する。更に、第2の画像処理回路6における γ 補正処理用のプログラム設定が完了すると、引き続き、第2の画像処理回路6では、画像データに対する γ 補正処理が実行される（処理時間100ms）。

【0021】このように、画像データを処理するに際して、上記第1及び第2の画像処理回路5, 6におけるプログラム設定及びそのプログラムに基づいた画像データの処理を開始するタイミングを適宜調整することにより、画像処理動作の停止時間を削減することができ、画像データに対する処理を比較的短時間で効率的に行うことが可能となる。その結果、画像処理装置における画像処理動作を高速化することができる。

【0022】実施の形態3. 図4は、本発明の実施の形態3に係る画像処理装置に組み込まれたCPUの構成を概念的に示すブロック図である。この実施の形態3では、CPU3が、ROM2から供給されるデータに基づき所定の回路を制御する制御部3Aを有するとともに、第1の画像処理回路5におけるプログラム設定及びそのプログラムに基づいた画像データの処理からなる一連の動作に要する時間を判定する第1の判定部3Bと、第2の画像処理回路6におけるプログラム設定及びそのプログラムに基づいた画像データの処理からなる一連の動作に要する時間を判定する第2の判定部3Cとを備えている。これら第1及び第2の判定部3B, 3Cは、画像データの処理に際して、各プログラム設定及びそのプログラムに基づいた処理からなる一連の動作に要する時間を予め算出することができる。

【0023】かかる構成を備えたCPU3では、制御部3Aが、各第1及び第2の判定部3B, 3Cで得られた判定結果を比較し、この比較において、一方の画像処理回路における一連の動作が、他方の画像処理回路における一連の動作を追い越すと判断された場合には、一方の

画像処理回路における一連の動作の開始タイミングを遅延させるようになっている。なお、このように、上記第1及び第2の画像処理回路5、6を一連の動作単位で制御するには、上記CPU3によるデータを記憶するメモリ(不図示)への書き込みアドレスと読み込みアドレスとを監視することで対応することができる。

【0024】図5に、上記実施の形態3に係る画像処理装置に組み込まれた第1及び第2の画像処理回路による各種処理のタイミングチャートを示す。まず、第1の画像処理回路5が、シェーディング処理用にプログラム設定されるとともに(プログラム設定時間250ms)、第2の画像処理回路6が、MTF処理用にプログラム設定される(プログラム設定時間600ms)。第1の画像処理回路5におけるシェーディング処理用のプログラム設定が完了すると、引き続き、第1の画像処理回路5では、画像データに対するシェーディング処理が実行される(処理時間200ms)。

【0025】上記第2の画像処理回路6におけるMTF処理用のプログラム設定が完了すると、引き続き、第2の画像処理回路6では、画像データに対してMTF処理が実行される(処理時間800ms)。この場合、第2の画像処理回路6におけるMTF処理用のプログラム設定及びそのプログラムに基づいた処理からなる一連の動作に要する時間は、1400ms(=プログラム時間600ms+処理時間800ms)である。また、一方、第1の画像処理回路5において、シェーディング処理後に行われる、変倍処理用のプログラム設定及びそのプログラムに基づいた処理からなる一連の動作に要する時間は、700ms(=プログラム時間300ms+処理時間400ms)であり、もしこの動作がシェーディング処理直後(450ms経過後)に開始されれば、変倍処理は、1150ms経過後に完了する。すなわち、第1の画像処理回路5による変倍処理は、第2の画像処理回路6によるMTF処理を追い越すことになり、これはNGである。

【0026】かかるNGを回避すべく、この実施の形態では、第1の画像処理回路5による変倍処理が、第2の画像処理回路6によるMTF処理を追い越さないように、その開始タイミングが遅延させられる。この結果、第1の画像処理回路5による変倍処理は、第2の画像処理回路6によるMTF処理の完了後、後れて完了する。この場合には、第1の画像処理回路5による一連の動作が、第2の画像処理回路6による一連の動作を追い越すと判断されると、CPU3に供給されるクロック信号が所定期間だけ停止させられて、第1の画像処理回路5への命令が中断させられる。所定期間後、クロック信号の供給が再開されると、第1の画像処理回路5における一連の動作が、開始される。これにより、第1の画像処理回路5における一連の動作の開始タイミングが遅延されることになる。

【0027】第2の画像処理回路6によるMTF処理が完了すると、引き続き、第2の画像処理回路6は、γ補正処理用にプログラム設定される(プログラム設定時間200ms)。なお、このプログラム設定の間に、上記第1の画像処理回路5による変倍処理が完了する。第2の画像処理回路6におけるγ補正処理用のプログラム設定の完了後、この第2の画像処理回路6では、引き続き、画像データに対してγ補正処理が実行される(処理時間100ms)。

10 【0028】以上のように、この実施の形態3では、第1及び第2の画像処理回路5、6の間で、一連の動作に要する時間が比較された上で、一方の画像処理回路における一連の動作が、他方の画像処理回路における一連の動作を追い越すと判断された場合に、一方の画像処理回路における一連の動作の開始タイミングを遅延させて、これを回避することができる。

【0029】実施の形態4. 図6に、本発明の実施の形態4に係る画像処理装置に組み込まれた第1及び第2の画像処理回路による各種処理のタイミングチャートを示す。この画像処理装置は、前述した実施の形態3における場合と同じ構成を有しており、この実施の形態4では、各プログラム設定及びそのプログラムに基づいた処理からなる一連の動作に要する時間を予め算出し、略同一の動作時間をする処理を並列させるようになっている。

【0030】図から分かるように、まず、第1の画像処理回路5がシェーディング処理用にプログラム設定されるとともに(プログラム設定時間250ms)、第2の画像処理回路6がMTF処理用にプログラム設定される(プログラム設定時間200ms)。第1の画像処理回路5におけるシェーディング処理用のプログラム設定が完了すると、第1の画像処理回路5では、画像データに対してシェーディング処理が実行される(処理時間200ms)。他方、第2の画像処理回路6におけるMTF処理用のプログラム設定が完了すると、第2の画像処理回路6では、画像データに対してMTF処理が実行される(処理時間250ms)。これら第1の画像処理回路5におけるシェーディング処理及び第2の画像処理回路6におけるMTF処理は、450ms経過時に同時に終了する。

【0031】その後、引き続いて、第1の画像処理回路5は変倍処理用にプログラム設定され(プログラム設定時間300ms)、また、第2の画像処理回路6はγ補正処理用にプログラム設定される(プログラム設定時間400ms)。第1の画像処理回路5における変倍処理用のプログラム設定が完了すると、第1の画像処理回路5では、画像データに対して変倍処理が実行される(処理時間400ms)。他方、第2の画像処理回路6におけるγ補正処理用のプログラム設定が完了すると、第2の画像処理回路6では、画像データに対してγ補正処理

が実行される（処理時間300ms）。これら第1の画像処理回路5における変倍処理及び第2の画像処理回路6における α 補正処理は、1150ms経過時に同時に同時に終了する。

【0032】このように、上記第1及び第2の画像処理回路5、6におけるプログラム設定及びそのプログラムに基づいた処理からなる一連の動作に要する時間を予め算出し、略同一の動作時間をする処理を並列させることにより、第1及び第2の画像処理回路5、6をそれらの処理待ち時間を削減し、比較的短時間で効率的に動作させることができ、画像処理動作の高速化を実現することができる。この場合に、略同一の動作時間をする処理を並列させるには、第1及び第2の画像処理回路5、6において、それぞれ、割り当てられた処理の順番を入れ替えてよい。

【0033】なお、本発明は、例示された実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲において、種々の改良及び設計上の変更が可能であることは言うまでもない。例えば、前述した実施の形態では、上記第1及び第2の画像処理回路にて実行される処理の具体例として、シェーディング処理、MTF処理、変倍処理、 α 補正処理が取り上げられているが、これらの処理に限定されることはない。また、各処理についてのプログラミング時間及び処理時間についても前述した数値に限定されるものではなく、任意に設定された数値を用いてよい。

【0034】

【発明の効果】以上の説明から明らかなように、本願の請求項1に係る発明によれば、各画像処理回路が、所定の処理を実行可能とするプログラム設定及びそのプログラムに基づいた画像処理を順次実行するに際し、他方の画像処理回路における動作状態に応じて、上記プログラム設定及びそのプログラム設定に基づいて画像処理の開始タイミングが制御されるので、例えば、一方の画像処理回路が画像データに対して所定の処理を施している間には、他方の画像処理回路がプログラム設定されるようにして、画像処理回路における処理動作の停止時間を削減することができ、画像データに対する処理を比較的短時間で効率的に行うことが可能となる。この結果、画像処理装置における画像処理動作を高速化することができる。

【0035】また、本願の請求項2に係る発明によれば、一方の画像処理回路において、プログラムに基いた画像処理を実行している間に、他方の画像処理回路において、所定の処理を実行可能とするプログラム設定を完了させて、一対の画像処理回路の間で、画像データに対する処理を比較的短時間で効率的に行うことが可能となる。この結果、画像処理装置における画像処理動作を高速化することができる。

【0036】更に、本願の請求項3に係る発明によれ

ば、一方の画像処理回路において、プログラムに基づいた処理を実行している間に、他方の画像処理回路において、他の所定の処理を実行可能とするプログラム設定を完了させ、引き続き、他方の画像処理回路において、そのプログラムに基づいた処理を開始させるようにして、一対の画像処理回路の間で、画像データに対する処理を比較的短時間で効率的に行うことが可能となる。この結果、画像処理装置における画像処理動作を高速化することができる。

【0037】また、更に、本願の請求項4に係る発明によれば、一方の画像処理回路におけるプログラム設定及びそのプログラムに基づいた画像処理からなる一連の動作に要する時間をそれぞれ判定する第1の判定手段と、他方の画像処理回路におけるプログラム設定及びそのプログラムに基づいた画像処理からなる一連の動作に要する時間をそれぞれ判定する第2の判定手段とを備え、上記第1の判定手段と第2の判定手段との判定結果を比較した結果、一方の画像処理回路における一連の動作が、他方の画像処理回路における一連の動作を追い越すと判断された場合に、一方の画像処理回路における一連の動作の開始タイミングを遅延させて、これを回避することができる。

【0038】また、更に、本願の請求項5に係る発明によれば、一方の画像処理回路におけるプログラム設定及びそのプログラムに基づいた画像処理からなる一連の動作に要する時間をそれぞれ判定する第1の判定手段と、他方の画像処理回路におけるプログラム設定及びそのプログラムに基づいた画像処理からなる一連の動作に要する時間をそれぞれ判定する第2の判定手段とを備え、上記第1の判定手段と第2の判定手段との判定結果を比較し、画像処理回路の間で全体の動作時間の差異が小さくなるように、各一連の動作を上記画像処理回路のいずれかに振り分けるため、画像データに対する処理を比較的短時間で効率的に行うことができる。この結果、画像処理装置における画像処理動作を高速化することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1に係る画像処理装置における構成を概念的に示すブロック図である。

【図2】 上記画像処理装置に組み込まれた第1及び第2の画像処理回路による各種処理のタイミングチャートである。

【図3】 本発明の実施の形態2に係る画像処理装置に組み込まれた第1及び第2の画像処理回路による各種処理のタイミングチャートである。

【図4】 本発明の実施の形態3に係る画像処理装置に組み込まれたCPUの構成を概念的に示すブロック図である。

【図5】 上記実施の形態3に係る画像処理装置に組み込まれた第1及び第2の画像処理回路による各種処理の

タイミングチャートを示す。

【図6】 本発明の実施の形態4に係る画像処理装置に組み込まれた第1及び第2の画像処理回路による各種処理のタイミングチャートである。

【符号の説明】

2…ROM

3…CPU

3 A…制御部

3 B…第1の判定部

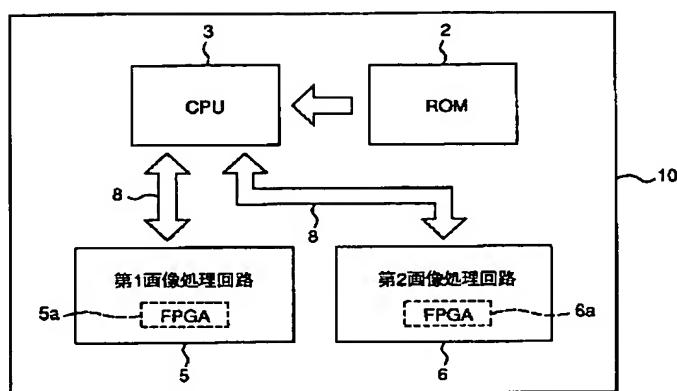
3 C…第2の判定部

5…第1の画像処理回路

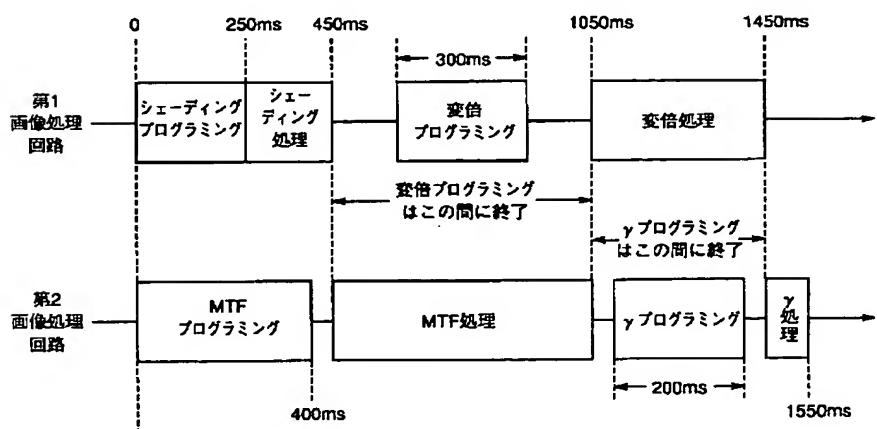
6…第2の画像処理回路

10…画像処理装置

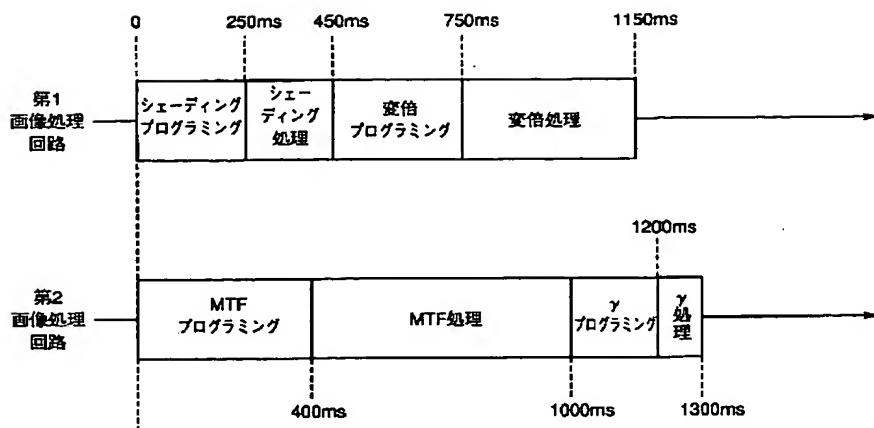
【図1】



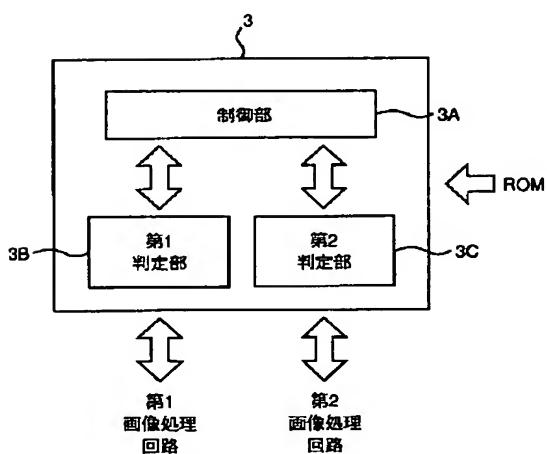
【図2】



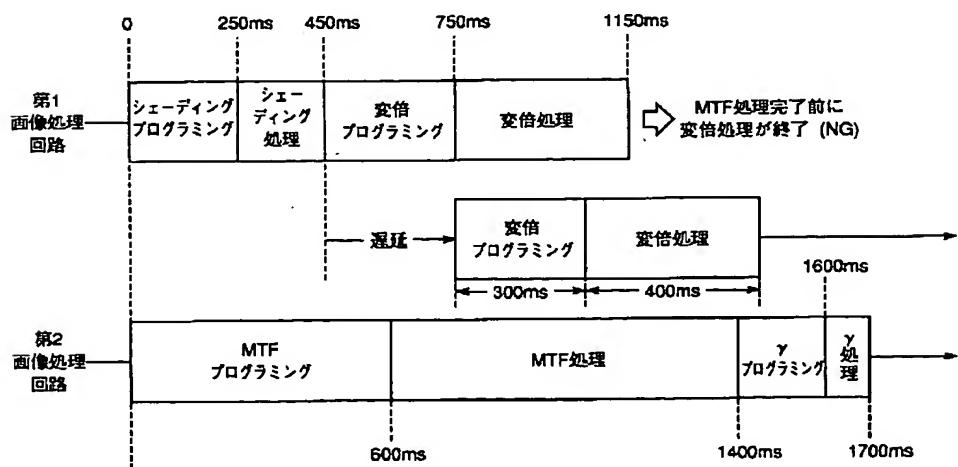
【図3】



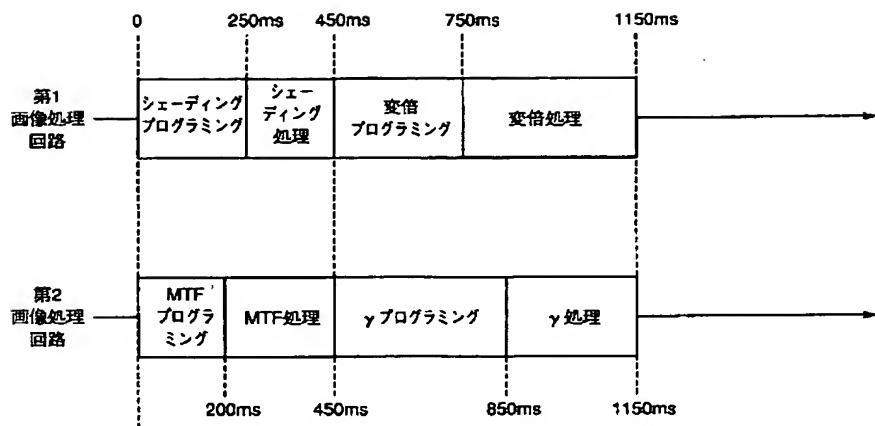
【図4】



【図5】



【図6】



フロントページの続き

(72) 発明者 亀井 伸雄

大阪府大阪市中央区安土町二丁目3番13号
大阪国際ビル ミノルタ株式会社内

(72) 発明者 鈴木 浩之

大阪府大阪市中央区安土町二丁目3番13号
大阪国際ビル ミノルタ株式会社内

(72) 発明者 烏山 秀之

大阪府大阪市中央区安土町二丁目3番13号
大阪国際ビル ミノルタ株式会社内

F ターム (参考) 5B013 DD01

5B076 EA17

5C062 AB40 AF06 BA00 BA04